CMOSアナログICの実用設計

吉田晴彦

第6回

CMOSアナログIC　PWM01の回路設計(2)
基準電圧源と基準電流源の設計

前回(本誌2007年7月号，pp.133-143)はCMOSアナログIC「PWM01」の回路設計として，「CMOSアナログICの仕様検討から回路設計までの流れ」と「PWM01に使用するプロセスとMOSトランジスタの特性」を解説した．今回はPWM01の基準電圧源と基準電流源のブロックの回路設計を進めていく．　(編集部)

1．基準電圧源の設計

基準電圧源は，電源電圧変動や環境温度変化，製造プロセスのばらつきなどに対し，一定の出力電圧を供給するために必要です．今回設計する「PWM01」では，この基準電圧を電圧レギュレータ(VB1，VB2)や発振器などの各ブロックへ供給します．ここで，寄生素子によるノイズ伝播を抑制するための低出力インピーダンス化や出力電圧の高精度化調整(トリミング)のために，基準電圧V_{REF1}をアンプを介して**図1**のように$V_{REF1V0}=1$Vとして出力する回路構成とします．

● 基準電圧部の設計

基準電圧部の各値について，それぞれ設計手順を解説します．

(1)基準電圧(V_{REF1})部

基準電圧部は，**図2**に示すようなディプリーション型のNMOSトランジスタM1にゲート-ソース間電圧$V_{GS1}=0$として発生した定電流Iを，ゲートとドレインを接続したエンハンスメント型NMOSトランジスタM2に流し，ディプリーション型とエンハンスメント型のしきい値電圧の差を発生させ，一定の電圧V_{REF1}を得る回路構成とします．

この回路においてM1とM2が飽和領域で動作しているとして，それらに流れる電流をそれぞれI_1，I_2とすると，

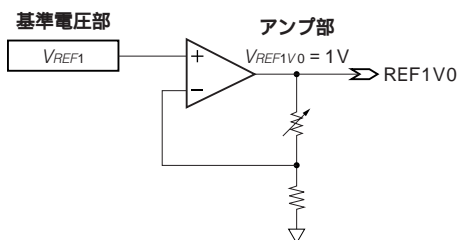
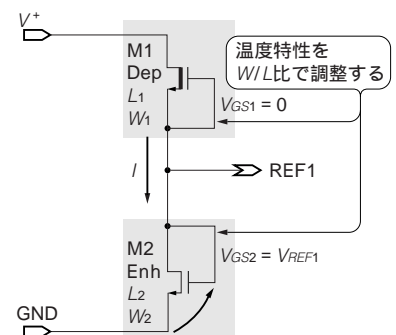



図1　基準電圧源のブロック図
基準電圧V_{REF1}は，低出力インピーダンス化や出力電圧調整(トリミング)のため，アンプを介して出力する．

図2　基準電圧(V_{REF1})部
ディプリーション型とエンハンスメント型のしきい値電圧の差を利用した基準電圧発生回路．

KeyWord　基準電圧源，低出力インピーダンス化，高精度化調整，温度変化率，トランジスタ・サイズ，チャネル長変調，電源電圧変動除去比，PSRR，折り返しカスコード型，電圧レギュレータ，位相補償，基準電圧のトリミング，基準電流源

$$I_1 = \frac{1}{2}\mu_{nD} C_{ox} \frac{W_1}{L_1}\left(V_{GS1} - V_{TND}\right)^2$$

$$I_2 = \frac{1}{2}\mu_{nE} C_{ox} \frac{W_2}{L_2}\left(V_{GS2} - V_{TNE}\right)^2$$

μ_{nD}：ディプリーション型NMOSトランジスタのキャリア移動度（$cm^2/V \cdot s$）

μ_{nE}：エンハンスメント型NMOSトランジスタのキャリア移動度（$cm^2/V \cdot s$）

C_{ox}：単位面積あたりのゲート容量（F/cm^2）

が成り立ちます．ここで，$I_1 = I_2$，$V_{GS1} = 0$，$V_{GS2} = V_{REF1}$ より，

$$\frac{1}{2}\mu_{nD} C_{ox} \frac{W_1}{L_1} V_{TND}{}^2 = \frac{1}{2}\mu_{nE} C_{ox} \frac{W_2}{L_2}\left(V_{REF1} - V_{TNE}\right)^2$$

となるので，

$$V_{REF1} = V_{TNE} + \left|V_{TND}\right| \sqrt{\frac{\mu_{nD}\left(W_1 / L_1\right)}{\mu_{nE}\left(W_2 / L_2\right)}} \quad \cdots\cdots\cdots\cdots (1)$$

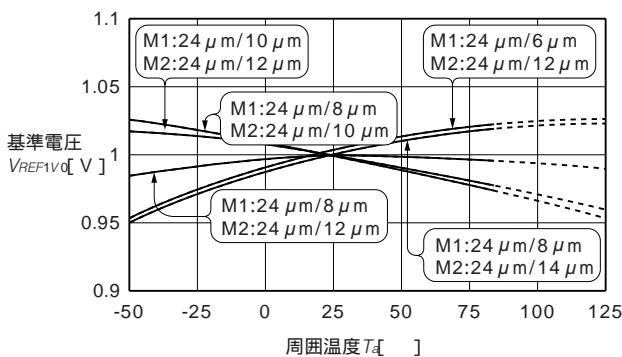



図3　TEGによる基準電圧V_{REF1V0}の温度特性

図2の基準電圧発生回路で，NMOSトランジスタM1, M2のゲート長Lのサイズを振った回路TEGによる温度特性評価結果より，L_1＝8μｍ，L_2＝12μｍとする．

と表せます．

従って，(1)式からM1とM2が飽和領域で動作していれば，基準電圧V_{REF1}が入力電源V^+に依存せず一定の電圧になることが分かります．

次に，温度特性について考えます．(1)式において，μ_{nE}とμ_{nD}の温度変化率が等しいと仮定すると，V_{REF1}の温度変化に関連するパラメータはV_{TNE}と$|V_{TND}|$なので，

$$\frac{\partial V_{REF1}}{\partial T} = \frac{\partial V_{REF1}}{\partial V_{TNE}}\frac{\partial V_{TNE}}{\partial T} + \frac{\partial V_{REF1}}{\partial V_{TND}}\frac{\partial\left|V_{TND}\right|}{\partial T}$$

$$\frac{\partial V_{REF1}}{\partial T} = \frac{\partial V_{TNE}}{\partial T} + \sqrt{\frac{\mu_{nD}\left(W_1 / L_1\right)}{\mu_{nE}\left(W_2 / L_2\right)}}\frac{\partial\left|V_{TND}\right|}{\partial T} \quad \cdots\cdots\cdots\cdots (2)$$

となります．

V_{TND}は負の温度特性を持つので，(2)式の右辺第1項は負となります．また，$|V_{TND}|$は正の温度特性を持つので，右辺第2項は正となります．従って，M1とM2のトランジスタ・サイズを調整することにより，V_{REF1}の温度特性を可変することができます．

このV_{REF1}の温度特性の合わせ込み設計は，シミュレーション精度の理由から検証が難しいため，実際には，M1，M2のゲート長Lのサイズを振った回路TEGを作成し，トランジスタ・サイズの最適化を行っています．TEGでの評価結果を**図3**に示します．

回路TEGによる評価結果より，M1とM2のトランジスタ・サイズを，

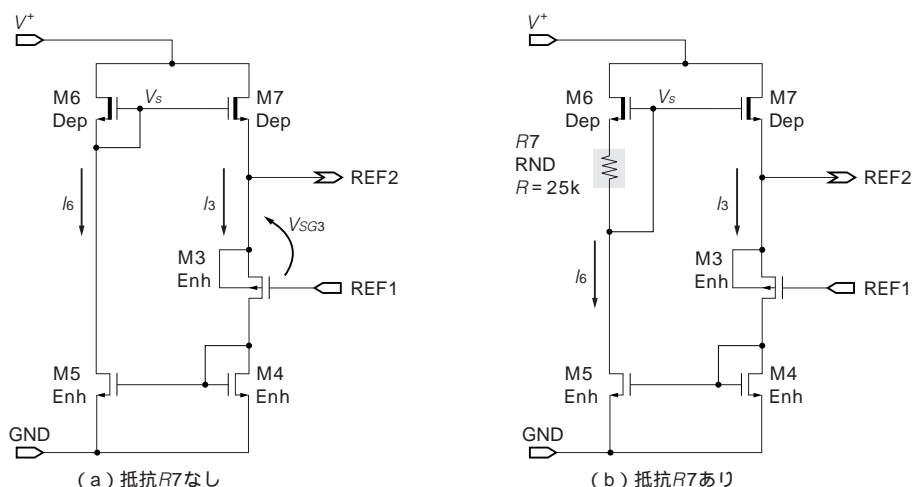
$$\frac{W_1}{L_1} = \frac{24\mu m}{8\mu m}$$

$$\frac{W_2}{L_2} = \frac{24\mu m}{12\mu m}$$

(**a**) 抵抗$R7$なし

(**b**) 抵抗$R7$あり

図4
基準電圧（V_{REF2}）部

抵抗$R7$の挿入で，しきい値電圧のばらつきが低減できる．また，$R7$が正の温度係数であれば温度変動による電流I_6の変動量も低減できる．

とします．

PWM01では，p型の基板（P-SUB）を使用するので，NMOSトランジスタのボディは基板電位となります．従って，M1の基板バイアス効果注1の影響やディプリーション型とエンハンスメント型での移動度の差などにより，温度特性のフラットとなるM1とM2のトランジスタ・サイズが異なっています．

（2）基準電圧（V_{REF2}）部

図2のように，基準電圧（V_{REF1}）部の入力電源をV^+とする場合，実際にはM1のチャネル長変調などの影響により，基準電圧（V_{REF1}）部の電源電圧変動除去比（*PSRR*：power supply rejection ratio）は，-45dB@$f = 1$kHz程度となります．基準電圧源としては不十分なレベルなので，電源ラインから基準電圧部とアンプ部へのノイズの回り込みを低減するための工夫（*PSRR*の改善）が必要となってきます．

そこで，基準電圧（V_{REF1}）部に供給するための内部レギュレータを設け，*PSRR*の改善を図ります．

図4（**a**）に基準電圧V_{REF2}を生成するレギュレータ回路を示します．この回路はNMOSトランジスタM6（ディプリーション型）で発生する定電流I_6を，M3に流れる電流I_3と等しくなるように負帰還をかけることにより，$V_{REF2} = V_{REF1} + V_{GS3}$となる電圧を発生します．

次に，**図4**（**a**）の回路の動作原理を説明します．M6はゲートとソースを短絡しているので定電流動作となりますが，実際には基板バイアス効果の影響を受け，ソース電位V_Sにより電流I_6が変動します．また，M3を流れる電流I_3は$V_{SG3} = V_{REF2} - V_{REF1}$であることから，$V_{REF1}$を一定とすると，$V_{REF2}$により変動します．ここで，$V_S$　V_{REF2}とみなすと，I_6とI_3のV_{REF2}に対する特性は**図5**のように表せます．この回路は$I_6 = I_3$となるように回路が動作するので，I_6とI_3のグラフでの交点がV_{REF2}となります．

最終的な回路では**図4**（**b**）のように，M6のゲート-ソース間に抵抗*R*7を入れることで電流I_6は，**図6**のようにしきい値電圧V_Tのばらつきによる変動を低減することができ，また，*R*7に正の温度係数となる拡散抵抗などを使用することで電流I_6の温度変動を低減することができます．

（3）基準電圧（$V_{REF1} + V_{REF2}$）部

図4（**b**）において，各トランジスタのサイズを検討します．

注1：基板バイアス効果（body effect）とは，基板（ボディ）とソース間に電圧V_{SB}が加わることによって，チャネル下の空乏層の広がりとチャネルの厚みが変化し，しきい値電圧が変化する現象．

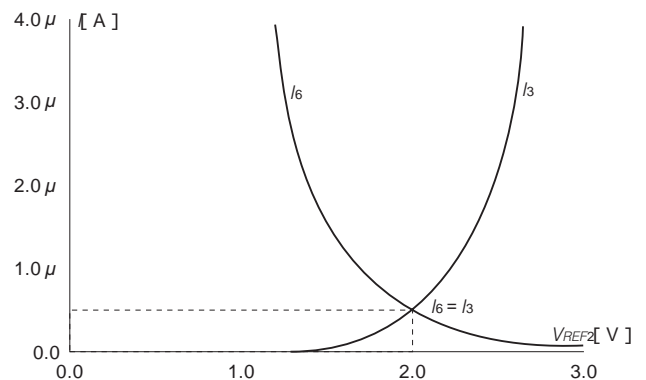



図5　電流IとV_{REF2}の関係

NMOSトランジスタM6で発生する電流I_6とM3に流れる電流I_3が等しくなるように回路が動作し，その時の電圧がV_{REF2}となる．

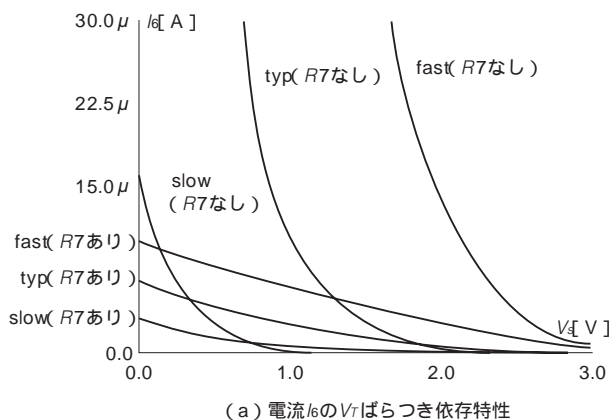
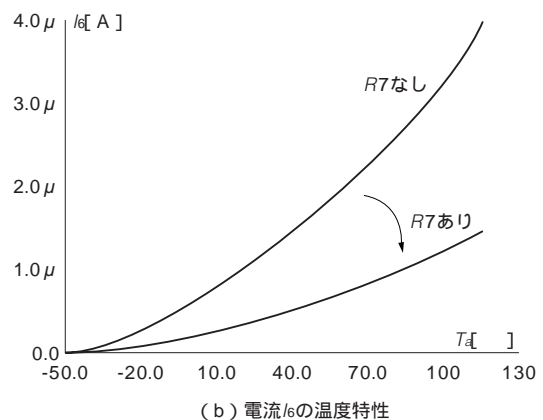
（**a**）電流I_6のV_Tばらつき依存特性

（**b**）電流I_6の温度特性

図6　抵抗*R*7による電流I_6の特性改善

抵抗*R*7の挿入で，しきい値電圧のばらつきや温度変動による電流I_6の変動量が低減しているシミュレーション結果となっている．また，“fast”はNMOSトランジスタM6のしきい値電圧が低めの時，“typ”はNMOSトランジスタM6のしきい値電圧が標準の時，“slow”はNMOSトランジスタM6のしきい値電圧が高めの時を示す．

①M6

TEGの評価結果および類似既存製品の実績から，

$$\frac{W_6}{L_6}=\frac{36\mu m}{2.5\mu m}$$

$R7 = 25$［kΩ］

とすれば，素子のばらつきや温度変動に対しワースト条件（最小値）でも電流I_6は50nA以上となり，動作に支障がないことがわかっています．

②M3

V_{REF2}は，$V_{REF2}=V_{REF1}+V_{GS3}$で決まります．$V_{REF2}$は後段のアンプ部や基準電流源の電源となるため，最低でもV_{REF2} 1.8V程度とする必要があります．ここで，V_{REF1} 0.9V，M3のトランジスタ・サイズを，

$$\frac{W_3}{L_3}=\frac{8\mu m}{10\mu m}$$

とすると，V_{REF2} 2Vとなります．

③M7

V_{REF2}は，基準電圧源のアンプ部や基準電流源の電源となることから，M7は十分な電流能力が必要です．V_{REF2}に接続する回路の消費電流は，基準電圧源のアンプ部と基準電流源部に供給され100 μA程度となるので，M7のゲート-ソース間電圧$V_{GS7}=0$Vのときに100 μA以上の電流が流せるようにトランジスタ・サイズを

$$\frac{W_7}{L_7}=\frac{36\mu m}{2.5\mu m}\times 8$$

とします．

④M4，M5

カレント・ミラーを構成するM4とM5は，チャネル長変調の影響を少なくするため，ゲート長Lを大きめに設定し，トランジスタ・サイズを

$$\frac{W_4}{L_4}=\frac{W_5}{L_5}=\frac{12\mu m}{5\mu m}$$

とします．

以上より，基準電圧（V_{REF1}，V_{REF2}）部の回路は**図7**のようになります．基準電圧部（V_{REF1}）の入力電源をV^+およびV_{REF2}に接続した場合の$PSRR$のシミュレーション結果を**図8**に示します．入力電源をV^+に接続した場合に比べ，V_{REF2}に接続することでV_{REF1}の$PSRR$特性が大幅に改善されています．

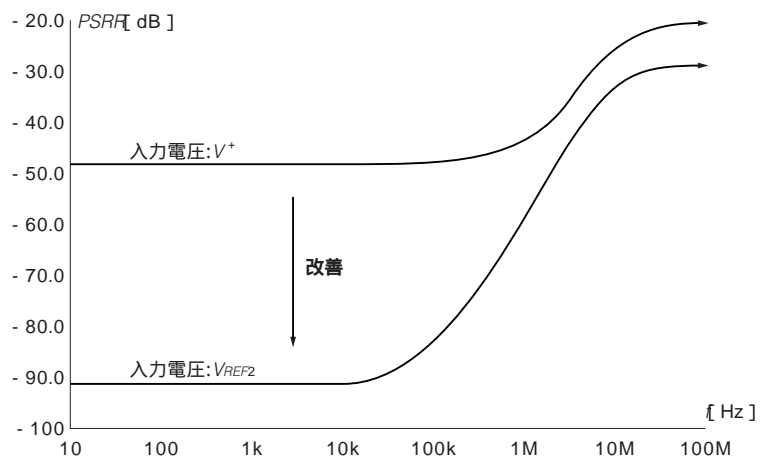
図7　基準電圧（$V_{REF1}+V_{REF2}$）部

ディプリーション型とエンハンスメント型のしきい値電圧の差を利用した基準電圧（V_{REF1}）発生回路の入力電源をV^+でなくV_{REF2}から供給することでV_{REF1}の$PSRR$特性の改善を図っている．

● アンプ部の設計

基準電圧V_{REF1}のインピーダンス変換と電圧調整のため

図8
V_{REF1}の$PSRR$特性（入力電源：V^+/V_{REF2}）

入力電源をV^+でなくV_{REF2}に接続することでV_{REF1}の$PSRR$特性が大幅に改善しているシミュレーション結果になっている．

のアンプ部を検討します．

PSRR 特性を考慮して，入力電源は V^+ ではなく V_{REF2} からの供給とするので，アンプ部は V_{REF2}　2Vで動作する必要があります．従って，**図9**のような，低電圧動作に有利なフォールデッド・カスコード（folded-cascode；折り返しカスコード）型の回路構成とします．

（1）入力段：M13，M14

V_{REF1}＝0.8～0.9VなのでM24のドレイン-ソース間電圧が小さくなり，M24の動作点が非飽和領域にならないようにするため，M13とM14にはしきい値電圧の低いイニシャル型（V_{TNI}＝0.35V）を使用し，トランジスタ・サイズを，

$$\frac{W_{13}}{L_{13}} = \frac{W_{14}}{L_{14}} = \frac{12\mu\text{m}}{5\mu\text{m}} \times 2$$

とします．

（2）出力段ソース・フォロワ：M23

入力電源が V_{REF2}　2Vであり，出力段ソース・フォロワM23のソース電位が約1VになるのでM23のゲート-ソース間電圧を十分に加え出力電流能力を確保するために，M23にはディプリーション型を使用し，トランジスタ・サイズを，

$$\frac{W_{23}}{L_{23}} = \frac{16\mu\text{m}}{2.5\mu\text{m}} \times 3$$

とします．

（3）電流源：I_8

基準電圧 V_{REF1V0} は，電圧レギュレータ（VB1，VB2）や発振器などの基準電圧となるので，ほかの回路ブロックが起動する前に V_{REF1V0} を供給しておく必要があります．従って，この基準電圧源部で使用する電流源は，入力電源 V^+ に

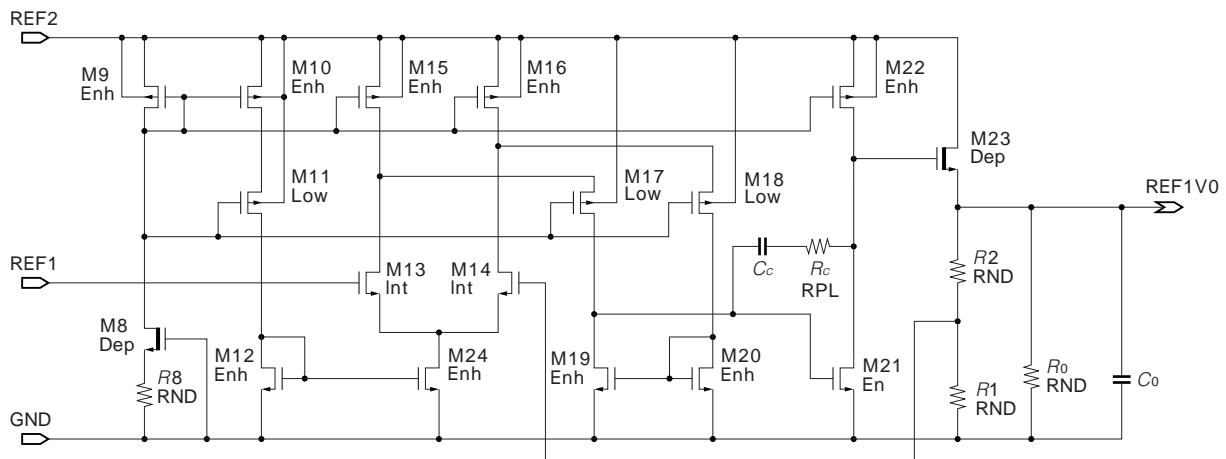



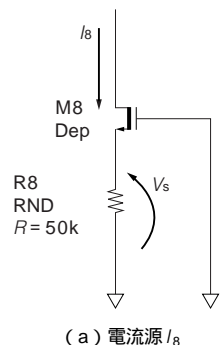
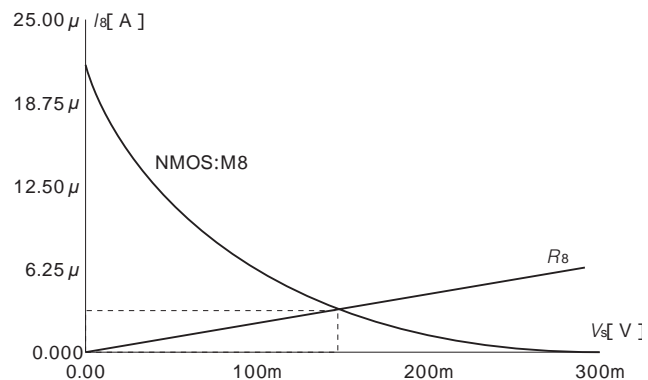
図9　基準電圧源のアンプ部
PSRR 特性を考慮して入力電源を V_{REF2} からの供給としているので，アンプ部は低電圧（2V程度）で動作する必要があり，フォールデッド・カスコード型の回路構成としている．

（a）電流源 I_8
ディプリーション型のNMOSと正の温度係数をもつ抵抗で構成される電流源．

（b）電流 I_8 の特性
W_8＝12μm，L_8＝2.5μm，$R8$＝50kΩのとき，I_8 は約3μAとなる．

図10
電流源の回路とその特性

対し立ち上がり(起動)特性が遅い基準電流源部からの供給ではなく，**図10(a)**のようにM8のディプリーション型(V_{TND}＝－0.3V)のNMOSトランジスタと正の温度係数となる拡散抵抗$R8$による定電流回路とします．

この回路は，**図10(b)**のグラフのようにM8に流れる電流と$R8$に流れる電流が等しくなるようにM8のソース電位V_Sが調整され，電流I_8が決まります．ここでは，M8のトランジスタ・サイズを，

$$\frac{W_8}{L_8}=\frac{12\mu\text{m}}{2.5\mu\text{m}}$$

$$R_8=50\,[\text{k}\Omega]$$

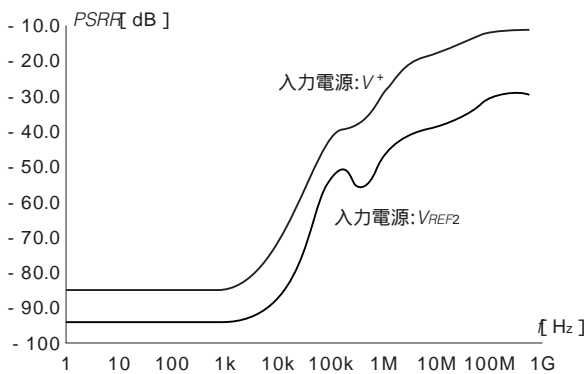
として，I_8　3μAの電流を発生させます．

(4)電源電圧変動除去比(*PSRR*: power supply rejection ratio)

基準電圧部(V_{REF1})と同様に，アンプ部の入力電源をV^+ではなくV_{REF2}に接続します．これにより，**図11(a)**のように*PSRR*特性を改善することができます．

また，**図11(b)**のように出力キャパシタC_0＝20pF(**図9**)を接続することで，高域の特性を改善します．

(5)位相補償

M21のゲート-ドレイン間にキャパシタC_Cと抵抗R_Cを挿入し，位相補償を行いますが，*PSRR*を改善するために接続した出力キャパシタC_Oにより，出力端子REF1V0で発生するポール[注2] ω_{OUT}　gm_{23}/C_Oが低域に移動するため，位相余裕が小さくなってしまいます．そこで，M23の相互

(**a**) *PSRR*特性(入力電源：V^+/V_{REF2})

アンプ部の入力電源をV^+ではなくV_{REF2}に接続することで，*PSRR*特性を改善することができる．

(**b**) *PSRR*特性(入力電源：V_{REF2}でキャパシタC_Oあり/なし)

出力キャパシタC_Oを接続することで，高域の*PSRR*特性を改善することができる．

図11　電源電圧変動除去比*PSRR*特性

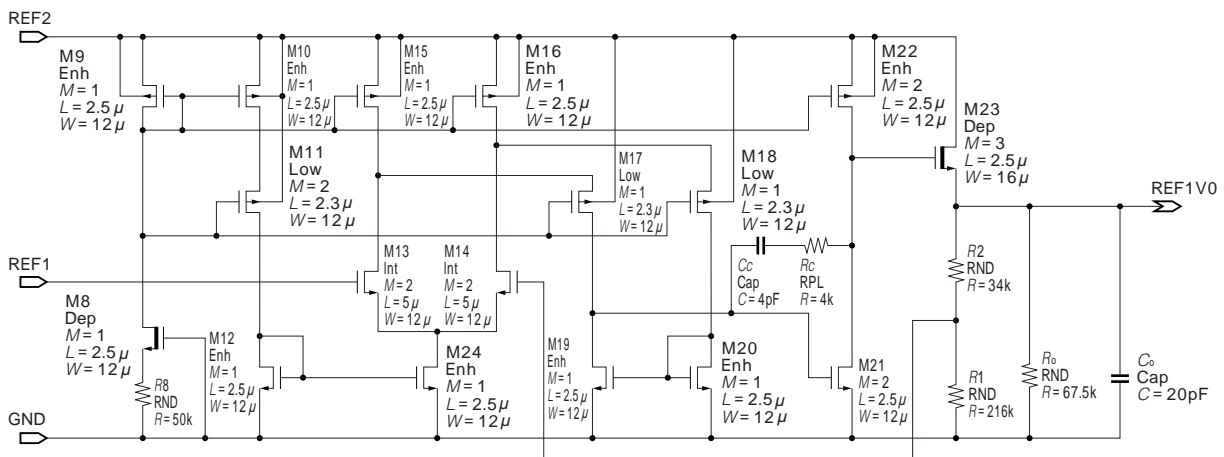



図12　アンプ部の回路図

基準電圧V_{REF1}からV_{REF1V0}を発生させるアンプ部の回路構成．

コンダクタンスgm_{23}を大きくして，できるだけω_{OUT}を高域に移動します．ここで，

$$gm_{23}=\mu_{nD}C_{ox}\frac{W_{23}}{L_{23}}\left(V_{GS23}-V_{TND}\right)=\sqrt{2I_{23}\mu_{nD}C_{ox}\frac{W_{23}}{L_{23}}}$$

となるので，出力REF1V0に負荷抵抗R_Oを接続することで電流I_{23}を増やし，相互コンダクタンスgm_{23}を上げて位相余裕を確保します．また，トランジスタ・サイズW_{23}/L_{23}を大きくすることでgm_{23}は増加しますが，M23の寄生容量も増えM23のゲートのノードで発生するポールが低域に移動するので注意が必要です．ここでは，

$$\frac{W_{23}}{L_{23}}=\frac{12\mu\text{m}}{2.5\mu\text{m}}$$

$$R_O=67.5\,[\text{k}\Omega]$$

とします．

以上より，基準電圧源のアンプ部は**図12**のようになります．**図13**は，**図9**と**図12**を組み合わせた回路において，$V^+=5$V，素子ばらつきを標準値の条件とし，R_Oの有無の条件でオープン・ループの周波数特性を調べたものです．R_Oを接続することで，出力端子REF1V0でのポールが高域に移動し，位相余裕が増加していることが確認できます．

● 基準電圧V_{REF1V0}のトリミング

基準電圧V_{REF1V0}は，ほかのブロックの基準電圧源として使用されるので高精度が要求されます．V_{REF1}は，しきい値電圧のばらつきやアンプの入力オフセット電圧などの影響を受けるので，出力帰還抵抗$R2$にトリミング回路を追加し，基準電圧V_{REF1V0}を調整できるようにします．

図14に示すトリミング回路は，$V_{REF1V0}<1$Vのときはヒューズ FUSE(a)と FUSE(c)を切断し，また$V_{REF1V0}>1$Vのときには FUSE(b)と FUSE(d)を切断することで，目標の電圧に対して上下に電圧を調整します．

(1) トリミング精度

基準電圧V_{REF1V0}の要求電圧精度は1V±1%(±10mV)なので，PWM01ではパッケージング(機械的ストレス)による変動量などを考慮し，ウェハ状態で1V±0.5%(±5mV)以内に収まるように設計します．**図14**において，$R1=216$kΩ(基本抵抗：13.5kΩ×16)とするとV_{REF1V0}の電圧精度を1V±0.5%以内にするために，最小ビット抵抗rは1kΩ以下にする必要があります．ここでは，相対精度を上げるためにR_1と同一の抵抗を基本素子としてレイアウトすることを考慮し，最小ビット抵抗を$r=422\,\Omega$(13.5kΩ/32)とします．

(2) トリミング調整範囲

基準電圧V_{REF1V0}を目標値に調整するために必要なトリミング幅nは，基準電圧V_{REF1V0}のばらつき幅によって変わ

注2：ポール(pole)とは，有理関数の分母の多項式の値を0にするsの値で，ポール角周波数ω_Pから利得は－20dB/decの傾きで減少し，位相はω_Pで－45°となる．

図13
オープン・ループ周波数特性
$V^+=5$V，素子ばらつきは標準値条件，R_Oの有無でのオープン・ループ周波数特性のシミュレーション結果．R_Oを接続することで，出力端子でのポールが高域に移動し位相余裕が増加している．

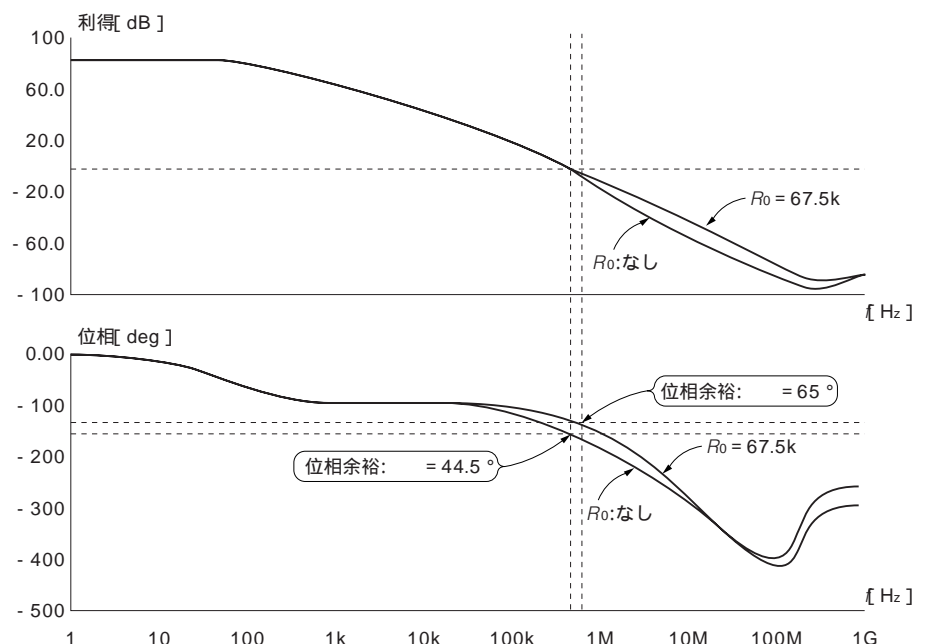
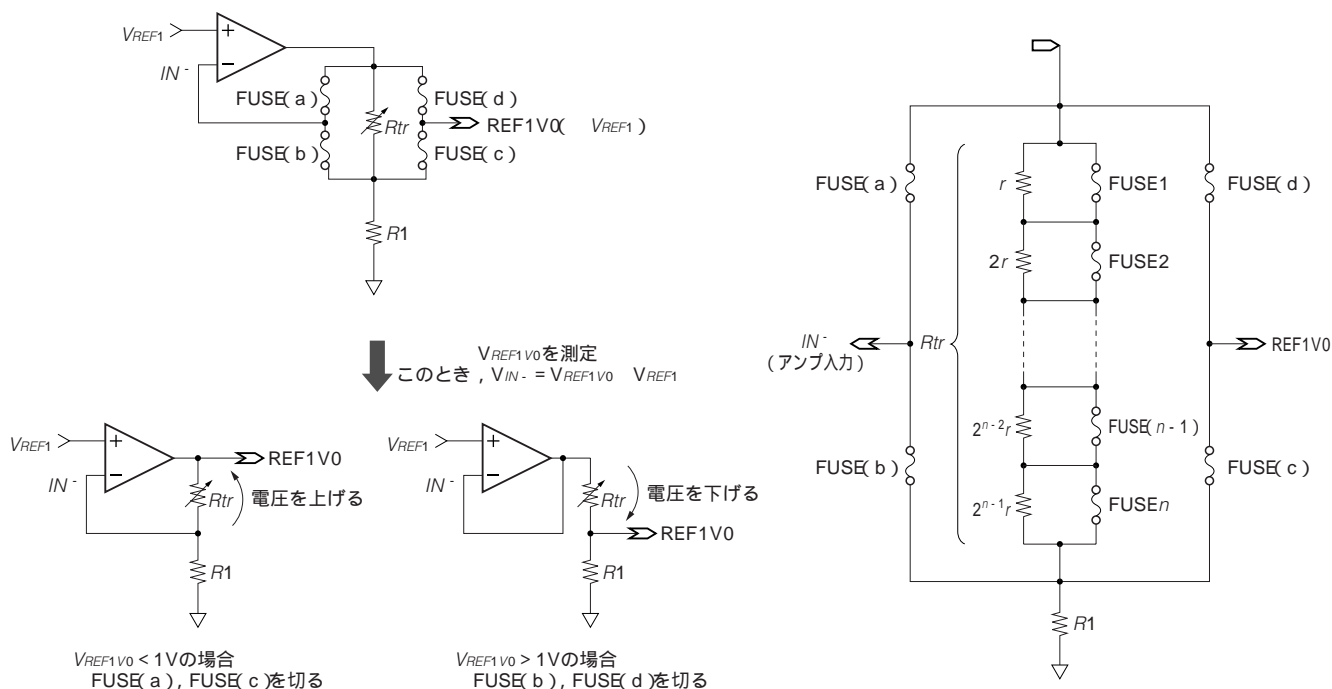



図14　REF1V0のトリミング方法

V_{REF1V0}＜1Vのときはヒューズの FUSE(a)と FUSE(c)を切断し，また V_{REF1V0}＞1Vのときには FUSE(b)と FUSE(d)を切断することで電圧値を調整する．

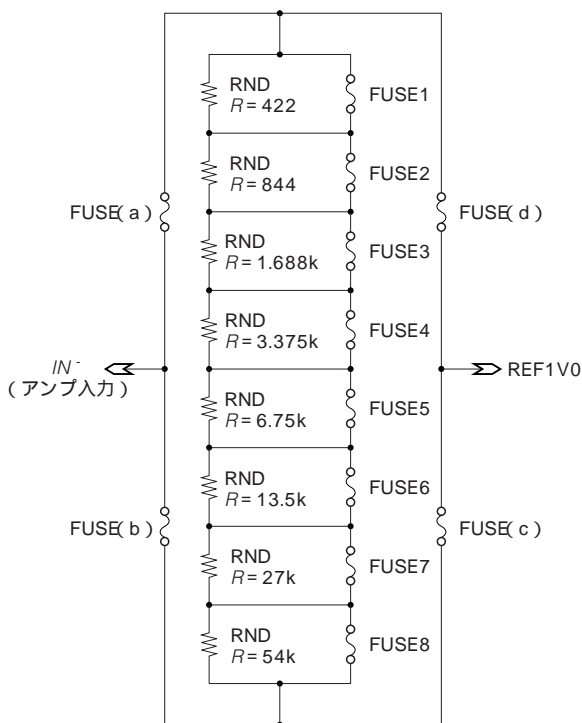



図15　基準電圧 V_{REF1V0} のトリミング回路

1V±0.5%の電圧精度を実現するためのトリミング回路．

ります．この回路ではディプリーション型とエンハンスメント型のしきい値電圧の差を利用した V_{REF1} のばらつきやアンプのオフセット電圧により，基準電圧 V_{REF1V0} は0.7V〜1.2V程度の範囲でばらつきます．ここでは，トリミング前の初期状態において，① V_{REF1V0}＜1Vと② V_{REF1V0}＞1Vの2通りの場合に分けて，トリミングに必要な抵抗値からトリミング幅 n を求めます．

① V_{REF1V0}＜1Vの場合

ヒューズ FUSE(a)と FUSE(c)を切断し，V_{REF1V0} の電圧を上げる方向にトリミングを行います．

V_{REF1V0}（初期値）が最小値0.7Vの場合に，V_{REF1V0}＝1Vにするために必要なトリミング抵抗 Rtr を求めます．

図14において，

$$\frac{R1+Rtr}{R1}\times V_{IN-}=1$$

が成り立ちます．$R1$＝216kΩ，V_{IN-}＝V_{REF1V0}（初期値）＝0.7Vとすると，

$$\frac{216\times10^3+Rtr}{216\times10^3}\times0.7=1$$

$\therefore\quad Rtr$＝92.57kΩ

と求まります．従って，0.7V＜V_{REF1V0}＜1Vの範囲では，Rtr≧92.57kΩであれば，V_{REF1V0}＝1Vに調整することがで

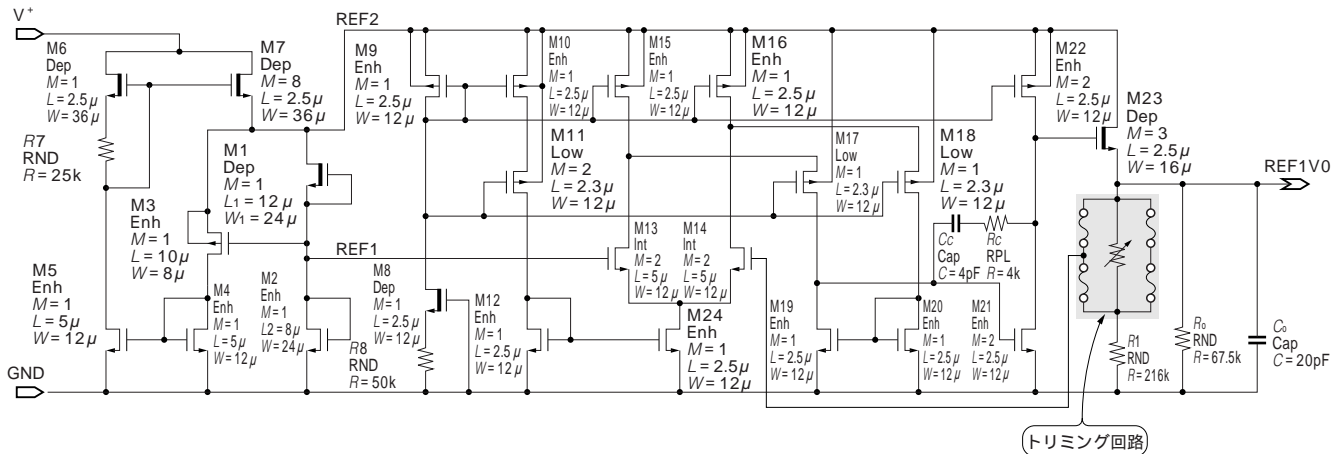



図17　基準電圧源の回路
PWM01で使用する高*PSRR*で，出力電圧精度が1V±1%の基準電圧源回路．

きます．

②V_{REF1V0}＞1Vの場合

ヒューズFUSE(b)とFUSE(d)を切断し，V_{REF1V0}の電圧を下げる方向にトリミングを行います．V_{REF1V0}(初期値)が最大値1.2Vの場合に，V_{REF1V0}＝1Vにするために必要なトリミング抵抗Rtrを求めます．

図14において，

$$\frac{R1}{R1+Rtr}\times V_{IN-}=1$$

が成り立ちます．$R1$＝216kΩ，V_{IN-}＝V_{REF1V0}(初期値)＝1.2Vとすると，

$$\frac{216\times10^3}{216\times10^3+Rtr}\times1.2=1$$

$$\therefore\quad Rtr=43.2\mathrm{k\Omega}$$

と求まります．従って，1V＜V_{REF1V0}＜1.2Vの範囲では，Rtr≧43.2kΩであれば，V_{REF1V0}＝1Vに調整することができます．

以上より，①，②のいずれの場合においても，ヒューズ素子をすべて切ったときの最大トリミング抵抗の値がRtr≧92.57kΩであれば，V_{REF1V0}＝1Vに調整することができます．

最小ビット抵抗r＝422Ωとすると，トリミング抵抗Rtrは，

$$Rtr=(r+2r+2^2r+2^3r+\cdots+2^{n-1}r)$$
$$=422\,(2^{n-1})$$

より，

n＝7のとき，Rtr＝53.59kΩ＜92.57kΩ

n＝8のとき，Rtr＝107.6kΩ＞92.57kΩ

となるので，トリミング幅をn＝8とします．

従って，トリミング回路とトリミング・テーブルは**図15**，**図16**(p.148)のようになり，プローブ試験の前に行われるプリウェハ・テストで測定された初期特性に応じ，回路素子に接続された調整用ヒューズ素子をレーザで切断(レーザ・トリミング)することにより，基準電圧V_{REF1V0}を1V±0.5％(±5mV)に調整することが可能となります．

● 全体回路

最後に，基準電圧源の回路(**図17**)で，電源印加時の基準電圧の応答特性をシミュレーションで確認します．ここでは，電源電圧の立ち上がり時間や温度，トランジスタのばらつきなどを考慮した条件において，基準電圧の立ち上がり時間や耐発振性などの確認を行います．

図18にシミュレーションの一例として，立ち上がり時間10μsで電源電圧V^+＝5Vを印加した時のV_{REF2}とV_{REF1V0}の立ち上がり特性を示します．ばらつき条件の*typ*，*ss*(NMOS，PMOSともにしきい値高め)，*ff*(NMOS，PMOSともにしきい値低め)で，問題なく基準電圧が立ち上がっている結果となっています．

2．基準電流源の設計

基準電圧源と同様に，基準電流源は，電源電圧変動，環境温度変化，製造プロセスのばらつきなどに対し，一定のバイアス電流を供給し続ける必要があります．PWM01では，**図19**のようなディプリーション型のNMOSトランジ

スタ(M1，M2)の$\varDelta V_{GS}=V_{GS2}-V_{GS1}$と抵抗$R_x$から基準電流$I$を発生する回路構成とします．また，電源ラインからのノイズ伝播の影響を低減するために入力電源はV^+ではなくV_{REF2}からの供給とします．

● 基準電流：I

まず，抵抗R_xに流れる基準電流Iを検討します．M6に流れる電流をI_Oとすると，M3とM4がカレント・ミラーを構成しているので，M1とM2のドレイン電流が等しい状

V_{REF1V0}設定(1V)

①V_{REF1}<1Vのとき 測定値[V]	FUSE8	FUSE7	FUSE6	FUSE5	FUSE4	FUSE3	FUSE2	FUSE1	②V_{REF1}>1Vのとき 測定値[V]
0.9948 —									— 1.0049
0.9928 — 0.9948								×	1.0049 — 1.0066
0.9909 — 0.9928							×		1.0066 — 1.0084
0.9890 — 0.9909							×	×	1.0084 — 1.0103
0.9871 — 0.9890						×			1.0103 — 1.0122
0.9852 — 0.9871						×		×	1.0122 — 1.0139
0.9833 — 0.9852						×	×		1.0139 — 1.0157
0.9817 — 0.9833						×	×	×	1.0157 — 1.0178
0.9801 — 0.9817					×				1.0178 — 1.0200
0.9782 — 0.9801					×			×	1.0200 — 1.0217
0.9763 — 0.9782					×		×		1.0217 — 1.0234
0.9745 — 0.9763					×		×	×	1.0234 — 1.0254
0.9726 — 0.9745					×	×			1.0254 — 1.0273
0.9708 — 0.9726					×	×		×	1.0273 — 1.0290
0.9689 — 0.9708					×	×	×		1.0290 — 1.0307
0.9671 — 0.9689					×	×	×	×	1.0307 — 1.0332
0.9653 — 0.9671				×					1.0332 — 1.0356
0.9635 — 0.9653				×				×	1.0356 — 1.0374
0.9616 — 0.9635				×			×		1.0374 — 1.0391
0.9599 — 0.9616				×			×	×	1.0391 — 1.0410
0.6831 — 0.6840	×	×	×		×	×			1.4612 — 1.4632
0.6821 — 0.6831	×	×	×		×	×		×	1.4632 — 1.4649
0.6812 — 0.6821	×	×	×		×	×	×		1.4649 — 1.4666
0.6803 — 0.6812	×	×	×		×	×	×	×	1.4666 — 1.4690
0.6795 — 0.6803	×	×	×	×					1.4690 — 1.4715
0.6785 — 0.6795	×	×	×	×				×	1.4715 — 1.4732
0.6776 — 0.6785	×	×	×	×			×		1.4732 — 1.4749
0.6767 — 0.6776	×	×	×	×			×	×	1.4749 — 1.4768
0.6759 — 0.6767	×	×	×	×		×			1.4768 — 1.4788
0.6750 — 0.6759	×	×	×	×		×		×	1.4788 — 1.4805
0.6741 — 0.6750	×	×	×	×		×	×		1.4805 — 1.4822
0.6733 — 0.6741	×	×	×	×		×	×	×	1.4822 — 1.4844
0.6726 — 0.6733	×	×	×	×	×				1.4844 — 1.4866
0.6717 — 0.6726	×	×	×	×	×			×	1.4866 — 1.4883
0.6708 — 0.6717	×	×	×	×	×		×		1.4883 — 1.4900
0.6699 — 0.6708	×	×	×	×	×		×	×	1.4900 — 1.4919
0.6690 — 0.6699	×	×	×	×	×	×			1.4919 — 1.4939
0.6682 — 0.6690	×	×	×	×	×	×		×	1.4939 — 1.4956
0.6673 — 0.6682	×	×	×	×	×	×	×		1.4956 — 1.4973
— 0.6673	×	×	×	×	×	×	×	×	— 1.4973

×：FUSEカット

図16　トリミング・テーブル

基準電圧V_{REF1V0}の初期値に対し，どのヒューズ素子を切断すれば1V±0.5%に調整できるかを示すトリミング・テーブル．

態で安定します．このとき，M1とM2について，

$$\frac{I_0}{2}=n\times\frac{1}{2}\mu_{nD}C_{ox}\frac{W}{L}\left(V_{GS1}-V_{TND}\right)^2 \quad\cdots\cdots(3)$$

$$\frac{I_0}{2}=\frac{1}{2}\mu_{nD}C_{ox}\frac{W}{L}\left(V_{GS2}-V_{TND}\right)^2 \quad\cdots\cdots(4)$$

が成り立ちます．また，

$$I=\frac{V_{GS2}-V_{GS1}}{R_x}=\frac{\Delta V_{GS}}{R_x} \quad\cdots\cdots(5)$$

と表せますから，

$$\frac{1}{2}\mu_{nD}C_{ox}\frac{W}{L}=K$$

とおくと，式(3)，(4)，(5)より，

$$I=\frac{\Delta V_{GS}}{R_x}=\frac{1}{R_x}=\left(1-\frac{1}{\sqrt{n}}\right)\sqrt{\frac{I_o}{2K}}\quad\cdots\cdots(6)$$

と表せます．

M1とM2のトランジスタ・サイズ比のずれによるΔV_{GS}のばらつき量を低減するためには，ΔV_{GS}を大きく設定する必要があります．式(6)において，(M1とM2のトランジスタ・サイズ比)の値を大きくすれば，ΔV_{GS}も大きくなり電流Iの精度が上がりますが，レイアウト設計で素子配置に大きなエリアが必要となります．ここでは，過去の既存製品での実績から，$n=4$，

$$\frac{W}{L}=\frac{24\mu\text{m}}{5\mu\text{m}}$$

とし，抵抗$R_x=30\text{k}\Omega$とすることで，電流$I=2\mu$Aに設定します．

図20に回路図を示します．V_{REF2}　2Vなので，M1とM2が飽和領域で動作するように，M3とM4にはしきい値

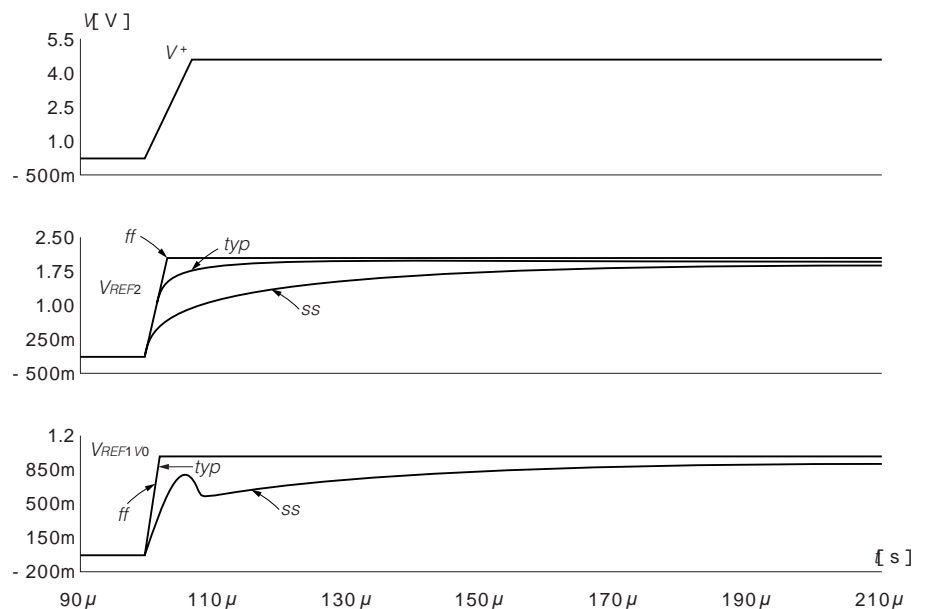



図18
V_{REF2}，V_{REF1V0}の立ち上がり特性
立ち上がり時間10 μsで電源電圧V^+＝5Vを印加した時の基準電圧V_{REF2}とV_{REF1V0}の過渡応答特性のシミュレーション結果(typ：標準，ss：NMOS，PMOSともにしきい値高め，ff：NMOS，PMOSともにしきい値低め)．

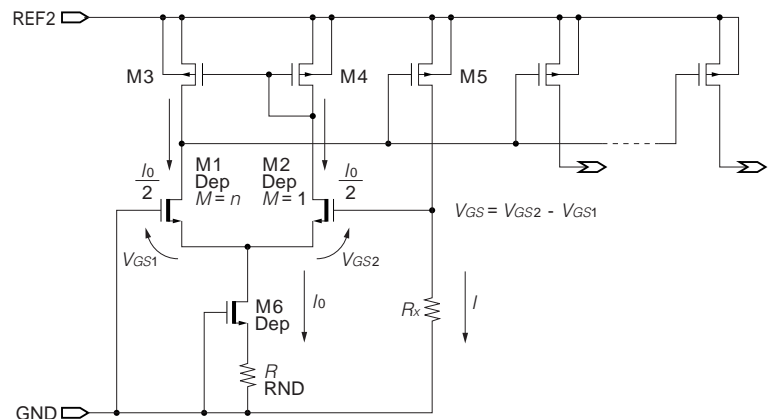



図19
定電流発生回路
ディプリーション型のNMOSトランジスタ(M1, M2)のΔV_{GS}と抵抗R_Xから基準電流Iを発生する定電流回路．

電圧を低めに調整した低V_T型(V_{TPL}＝－0.55V)のトランジスタを使用します．また，この回路は負帰還がかかって動作しているので，M3のゲート-ドレイン間にキャパシタを挿入して位相補償を行います．

また，式(6)でΔV_{GS}は正の温度係数となるので，ΔV_{GS}の温度係数に近い特性の抵抗R_xを用いることにより，温度特性の良好な電流源が実現できます．**図21**は，**図20**の回路TEGを作成し温度特性評価を行ったものです．抵抗R_xは，約＋3500ppm/℃の拡散抵抗(RND)を使用しており，良好な温度特性結果となっています．

● 基準電流 *I* のトリミング

(1) トリミング回路

ΔV_{GS}は60mV±20mV，抵抗R_xは±25％の範囲でばらつくので，電流Iは約±60％の変動幅となります．従って，電流Iをトリミング回路で調整する必要があります．ここでは**図22**のように，R_xを可変(トリミング)することで電流値を調整します．

①トリミング精度

PWM01では，基準電流Iの精度を2μA±25％とします．パッケージングによる変動量などを考慮し，ウェハ状態で電流精度がI＝2 μA±12.5％以内に収まるようなトリミング回路とします．

まず，抵抗R_xの最小値となる$R1$の値を決定します．この回路はトリミングにより，電流値を増加させることはできないので，初期状態(ヒューズ素子を切断する前の状態)において，ΔV_{GS}と$R1$がばらついてもI≧2 μAとなるように$R1$の値を決定します．ばらつきを考慮して，ΔV_{GS}の最小値を40mV，$R1$の最大値を1.25$R1$(＋25％)とすると，

$$\frac{\Delta V_{GS}}{1.25R1} \geq 2\mu A$$

$$\frac{40\times10^{-3}}{1.25R1} \geq 2\times10^{-6}$$

となります．レイアウト設計で基準電流源の回路ブロックは，基準電圧源の回路ブロックと並べて配置するので，ここでは基準電圧源の基本抵抗と同じ抵抗値の13.5kΩとします．

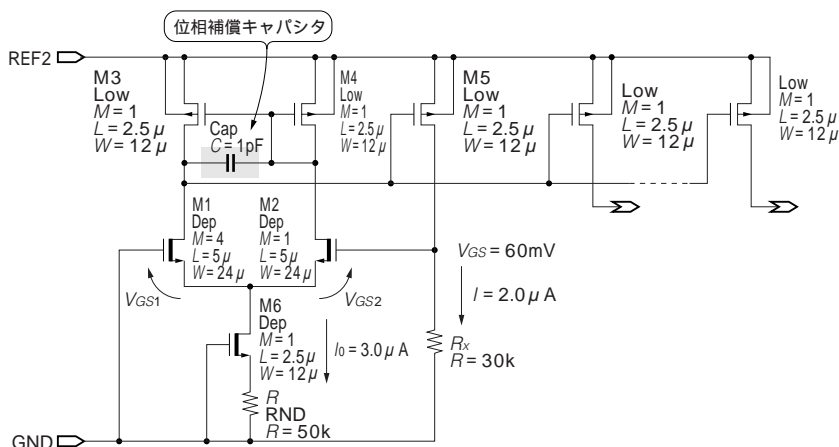
従って，最小ビット抵抗rは基準となる抵抗$R1$＝13.5kΩに対して，電流Iの精度が±12.5％となるように，r＝1.688kΩとします．

②トリミング調整範囲

ΔV_{GS}が最大値80mV，R_xが最小値0.75R_x(－25％)となり，電流が最大にばらついた場合に，I＝2 μAにするために必要な抵抗R_{tr}を求めます．

$$\frac{\Delta V_{GS}}{0.75R_x} = 2\mu A$$

図21　TEGによる基準電流源の温度特性
ΔV_{GS}の温度係数に近い特性の抵抗を用いることにより，温度特性の良好な電流源が実現できる．

図20
基準電流源
V_{REF2}が約2Vなので，M3, M4はしきい値電圧を低めに調整した低V_T型のトランジスタを使用する．

$$\frac{80\times10^{-3}}{0.75R_x}=2\times10^{-6}$$

$$\therefore R_x=53.4\,[\mathrm{k\Omega}]$$

となります．$R_x = Rtr + R1$より抵抗Rtrは，

$$R_x=53.4\,[\mathrm{k\Omega}]$$

$$Rtr+R1=53.4\times10^3\,[\Omega]$$

$$13.5\times10^3+Rtr=53.4\times10^3\,[\Omega]$$

$$\therefore Rtr=39.9\,[\mathrm{k\Omega}]$$

と求まります．つまり，$Rtr \geqq 39.9\mathrm{k\Omega}$であれば，電流$I$が最大にばらついても，$I = 2\ \mu\mathrm{A} \pm 12.5\,\%$以内に調整できます．

最小ビット抵抗$r = 1.688\mathrm{k\Omega}$よりトリミング抵抗$Rtr$は，

$$Rtr=(r+2r+2^2r+2^3r+\cdots+2^{n-1}r)$$

$$=1.688\times10^3(2^{n-1})\,[\Omega]$$

より，

$n = 4$のとき，$Rtr = 25.32\,[\mathrm{k\Omega}] < 39.9\,[\mathrm{k\Omega}]$

$n = 5$のとき，$Rtr = 52.33\,[\mathrm{k\Omega}] > 39.9\,[\mathrm{k\Omega}]$

となるので，トリミング幅を$n = 5$とします．

従って，トリミング回路とトリミング・テーブルは**図23**(**a**)，**図23**(**b**)(p.152)のようになり，$I = 2\ \mu\mathrm{A} \pm 12.5\,\%$に調整することが可能となります．

(2) トリミング方法

トリミングを行うためには，基準電流源の初期値を測定する必要があります．まず，初期値の測定方法として考えられるのは**図24**のようにOPアンプU1の出力シンク電流I_{OM-}をVO端子で測定し，その結果よりトリミングを行う方法です．しかし，この方法ではカレント・ミラーの折り

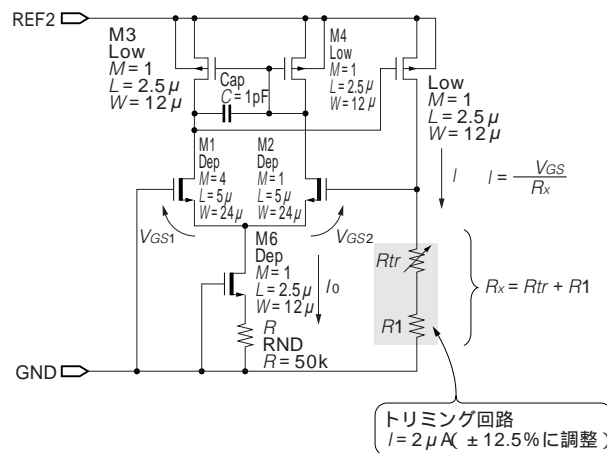
(**a**) トリミング回路の追加

(**b**) トリミング回路

図22 電流Iのトリミング
R_Xをトリミングすることで電流値を調整する．

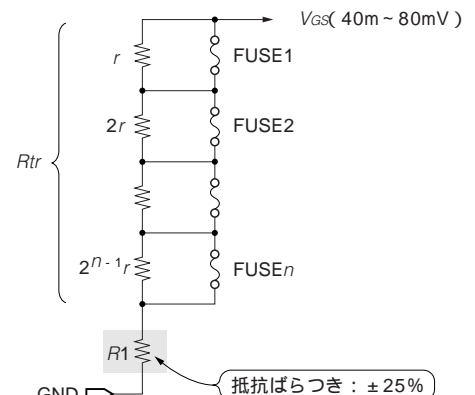
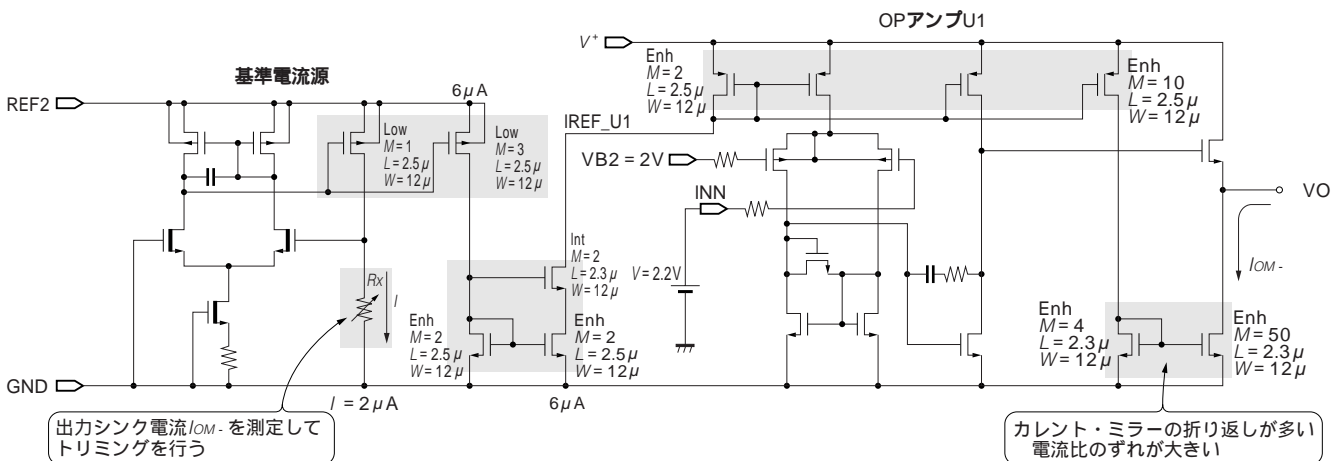
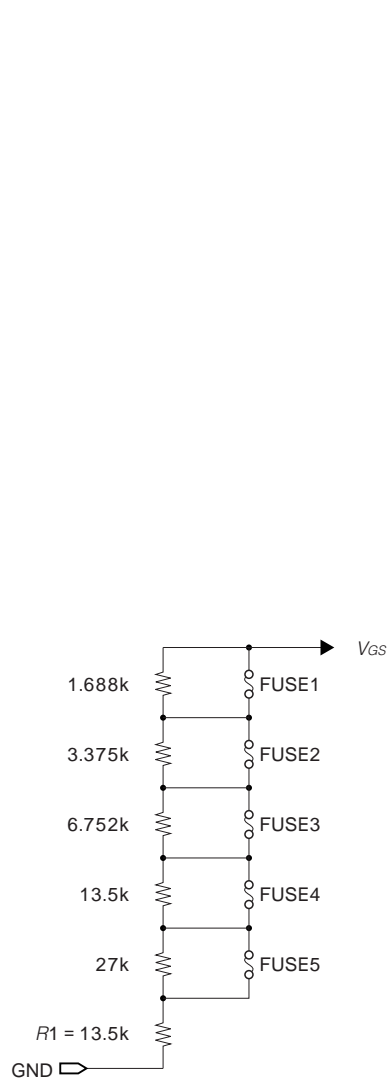



図24 電流Iトリミング方法1
OPアンプU1の出力シンク電流I_{OM-}をV_O端子で測定する方法では，基準電流源の初期値を精度良く測定できない．

ΔVGS
1.688kΩ FUSE1
3.375kΩ FUSE2
6.752kΩ FUSE3
13.5kΩ FUSE4
27kΩ FUSE5
R1＝13.5kΩ
GND

（a）トリミング回路

2 μA ± 12.5%の電流精度を実現するためのトリミング回路．

I_{REF}設定（2 μ A）

測定値 [μA]	FUSE5	FUSE4	FUSE3	FUSE2	FUSE1
- 2.1161					
2.1161 - 2.3484					×
2.3484 - 2.5807				×	
2.5807 - 2.8211				×	×
2.8211 - 3.0616			×		
3.0616 - 3.2938			×		×
3.2938 - 3.5261			×	×	
3.5261 - 3.7749			×	×	×
3.7749 - 4.0236		×			
4.0236 - 4.2559		×			×
4.2559 - 4.4882		×		×	
4.4882 - 4.7286		×		×	×
4.7286 - 4.9690		×	×		
4.9690 - 5.2013		×	×		×
5.2013 - 5.4336		×	×	×	
5.4336 - 5.6908		×	×	×	×
5.6908 - 5.9480	×				
5.9480 - 6.1803	×				×
6.1803 - 6.4126	×			×	
6.4126 - 6.6530	×			×	×
6.6530 - 6.8934	×		×		
6.8934 - 7.1257	×		×		×
7.1257 - 7.3580	×		×	×	
7.3580 - 7.6067	×		×	×	×
7.6067 - 7.8554	×	×			
7.8554 - 8.0877	×	×			×
8.0877 - 8.3200	×	×		×	
8.3200 - 8.5604	×	×		×	×
8.5604 - 8.8009	×	×	×		
8.8009 - 9.0332	×	×	×		×
9.0332 - 9.2654	×	×	×	×	
9.2654 -	×	×	×	×	×

×：FUSEカット

（b）トリミング・テーブル

初期値に対し，どのヒューズ素子を切断すれば2 μA ± 12.5%に調整できるかを示すトリミング・テーブル．

図23
トリミング回路とトリミング・テーブル

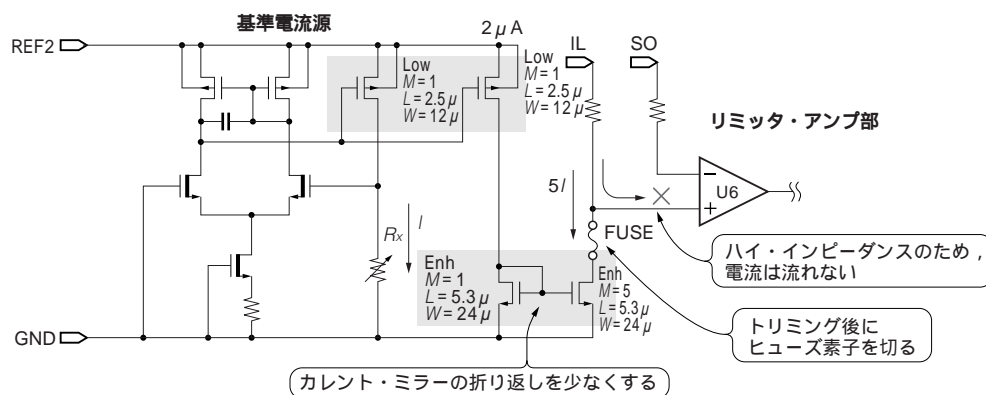



図25
電流 / トリミング方法2

IL端子を利用し電流値を測定することで，初期値測定用のボンディング・パッドを新たに追加することなく，基準電流源の初期値を精度良く測定できる．

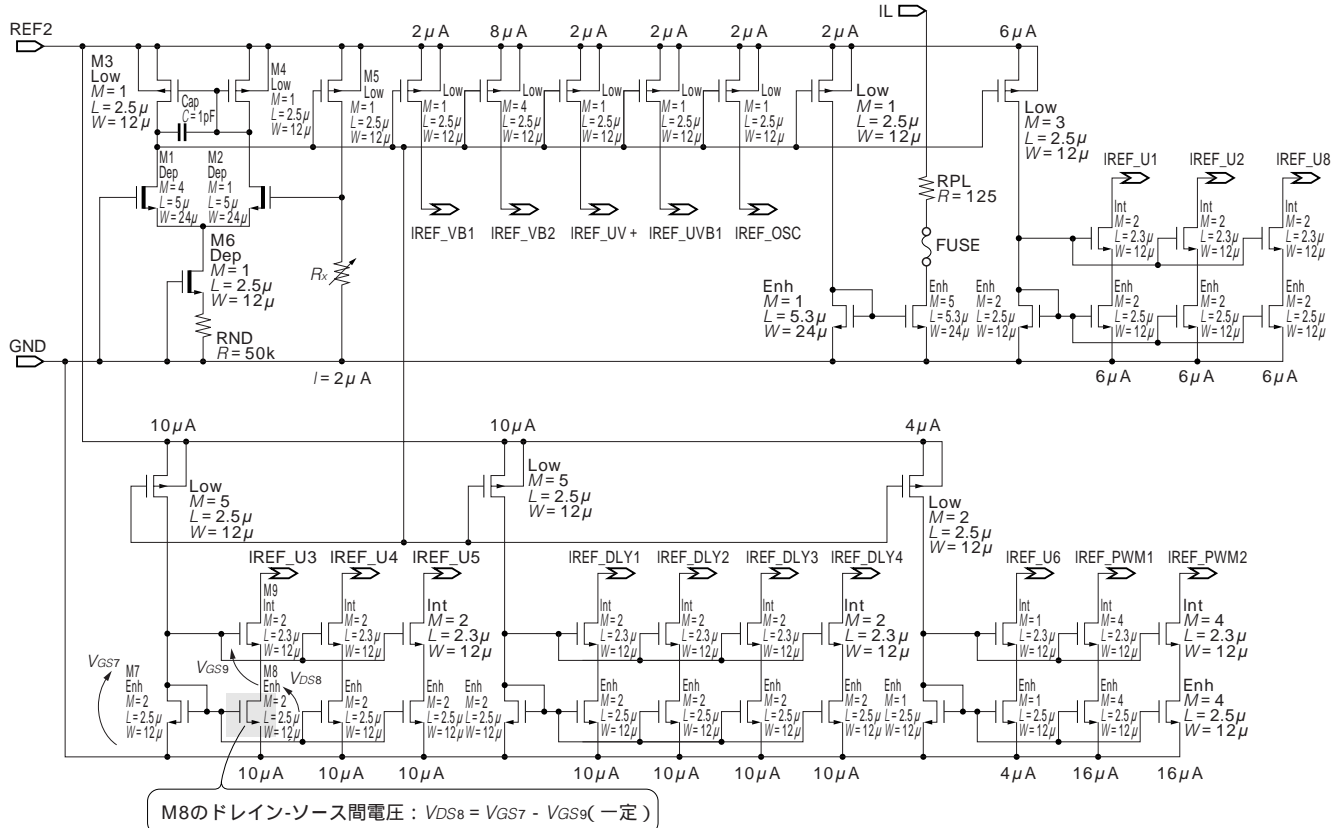



図26　基準電流源の回路

PWM01で使用する出力電流精度が2μA±25%の基準電流源回路．

返しが多く，基準電流源の初期値を精度良く測定することはできません．トリミング回路を設計する場合には，理論上問題がなくても，実際に精度よくトリミングが行えない場合があるので注意する必要があります．

PWM01では，**図25**のようなリミッタ・アンプのIL端子を利用したトリミング方法とします．この方法では，カレント・ミラーの折り返しを少なくすることができ，初期値測定用のボンディング・パッドを新たに追加することなくトリミングを行うことができます．IL端子は，ハイ・インピーダンス（トランジスタのゲートしか接続されていない）端子なので，電流Iを精度良く測定することができ，トリミング後に配線をヒューズ素子（FUSE）により切断することで，リミッタ・アンプ部U6の特性に影響を与えずに済みます．

● 全体回路

基準電流源の回路を**図26**に示します．また，アンプU3に出力する電流IREF_U3などのように接続先の回路構成によりドレイン電圧が変動する場合は，チャネル長変調の影響で電流に誤差が生じないように，しきい値電圧の低いイニシャル型（$V_{TNI}=0.35$V）のトランジスタをカスコード接続し出力インピーダンスを上げることで，電流比の誤差を低減しています．

参考・引用*文献

(1) 谷口研二；CMOSアナログ回路入門，CQ出版社，2005年．
(2) Behzad Razavi著，黒田忠広監訳；アナログCMOS集積回路の設計 基礎編/応用編，丸善，2003年．
(3) 吉澤浩和；CMOS OPアンプ回路　実務設計の基礎，CQ出版社，2007年．

よしだ・はるひこ
新日本無線

<**筆者プロフィール**>
吉田 晴彦．1985年に新日本無線に入社，プロセス開発や電源IC設計などに従事，現在ミックスト・シグナルIC設計部門に所属．